

УДК 004.272:004.383

И.А. ЖУКОВ, Н.А. КОВАЛЕВ

Национальный авиационный университет Украины, г. Киев

МЕТОД ЭКСТРАПОЛЯЦИИ В ЦИФРОВЫХ ИНТЕГРИРУЮЩИХ СТРУКТУРАХ

Аннотация: Разработан метод экстраполяции приращения интеграла Стильтеса в неавтономном режиме вычислений в симметричных избыточных системах счисления. В отличие от известных разностных схем построения цифровых интегрирующих структур (ЦИС) он позволяет совместить процессы экстраполяции с вычислением интегрального приращения на каждом шаге интегрирования при сохранении порядка его точности. Метод создает предпосылки к увеличению быстродействия ЦИС, реализующих неавтономные интегральные вычисления, в 1,5-2 раза. Предложено соответствующее схемное решение.

Ключевые слова: цифровые интегрирующие структуры, интегрирование по Стильтесу, экстраполяция, неавтономная арифметика (*On-line arithmetic*), *FPGA*.

Анотация: Розроблено метод екстраполяції приросту інтеграла Стільтєса в неавтономному режимі обчислень в симетричних надлишкових системах числення. В порівнянні з відомими різницевиими схемами побудови цифрових інтегруючих структур (ЦИС) він дозволяє суміщати процеси екстраполяції з обчисленням інтегрального приросту на кожному кроці інтегрування при збереженні порядку його точності. Метод створює передумови до збільшення швидкодії ЦІС, що реалізують неавтономні інтегральні обчислення, в 1,5-2 рази. Запропоновано відповідне схемне рішення.

Ключові слова: цифрові інтегруючі структури, інтегрування по Стільтєсу, екстраполяція, неавтономна арифметика (*On-line arithmetic*), *FPGA*.

Annotation: the extrapolation method of Stieltjes integral by means of on-line arithmetic in symmetric redundant notations is proposed. In comparison with known difference schemes of digital integrating structure (DIS) construction it allows to overlap an extrapolation with integral increment calculations on each integration step with the same order of accuracy. The method creates preconditions for productivity improvement of DIS, realizing nonautonomous integral calculations, in 1,5-2 times. Also the appropriate schematic is proposed.

Keywords: digital integrating structures, Stieltjes integration, extrapolation, On-line arithmetic, FPGA.

Введение

Современный этап развития бортовых вычислительных систем (БВС) характеризуется существенным ускорением решения задач управления и моделирования, количество и сложность которых постоянно возрастают. Многие из них предполагают решение дифференциальных, алгебраических, трансцендентных уравнений и их систем, вычисление функциональных зависимостей, интегралов и производных, преобразование координат [1] и т.п. Проведение интенсивных вычислений в реальном времени требует значительного роста производительности, не возможного без эффективного распараллеливания на уровне операций, слов и даже разрядов [2]. Для ее повышения перспективные подходы предусматривают переход от универсального к специализированному параллелизму, когда структуры графа потока вычислений задачи и вычислительной системы значительно соответствуют друг другу.

В этой связи целесообразно по-новому рассмотреть цифровые интегрирующие структуры (ЦИС) [3], которые могут эффективно решать многие из приведенных выше задач. В ЦИС реализуется численное интегрирование по Стильтесу систем уравнений Шеннона. Оптимальными по быстродействию, точности и аппаратной сложности являются параллельные экстраполяционные ЦИС, рассчитанные на работу с фиксированной точкой. Интенсивное развитие программируемых логических интегральных схем (ПЛИС) [4, 5] позволяет создавать ЦИС, использующие большое число цифровых интеграторов (ЦИ), высокоточные формулы интегрирования по Стильтесу, многоразрядные приращения и реконфигурируемую коммутационную сеть. Они способны адаптироваться под структуру вычислений широкого круга задач, решая их с высокими быстродействием, точностью, надежностью, живучестью и энергоэффективностью.

Повышение технико-экономических характеристик ЦИС, реализованных на базе ПЛИС типа *FPGA* (*Field-Programmable Gate Array*), может быть связано с применением в них аппарата неавтономной арифметики (*On-line Arithmetic*) [6]. В предлагаемом подходе к построению подобных ЦИС [7] интегрирование по каждой переменной организуется последовательным соединением квазипараллельных цифровых интеграторов (ЦИ). На шаге интегрирования в каждом ЦИ совмещаются процессы поразрядного ввода входных интегральных переменных и формирования экстраполированного интегрального приращения от старших цифр к младшим. В свою очередь их можно сразу подавать на следующие ЦИ для вычислений на новых шагах интегрирования, и т.д. Поэтому длительность шага определяется задержкой формирования старшей цифры экстраполированного приращения интеграла Стильтеса (выделена цветом на рис. 1) и не зависит от разрядности вычислений. Дальнейшее повышение быстродействия ЦИС состоит в уменьшении этой задержки. Для этого в [7] предложен метод неавтономного вычисления по формуле интегрирования по Стильтесу в симметричных избыточных системах счисления с основанием $k = 2^v$, $v \in N^*$, $v > 1$ и цифрами $\left\{ \overline{-k/2, k/2} \right\}$. Он обеспечивает задержку D_{∇_z} на получение старшей цифры интегрального приращения в 3-4 такта после поступления старших цифр входных интегральных переменных. В соответствии с экстраполяционной формулой, предложенной А.В. Каляевым [3, (2.130)]

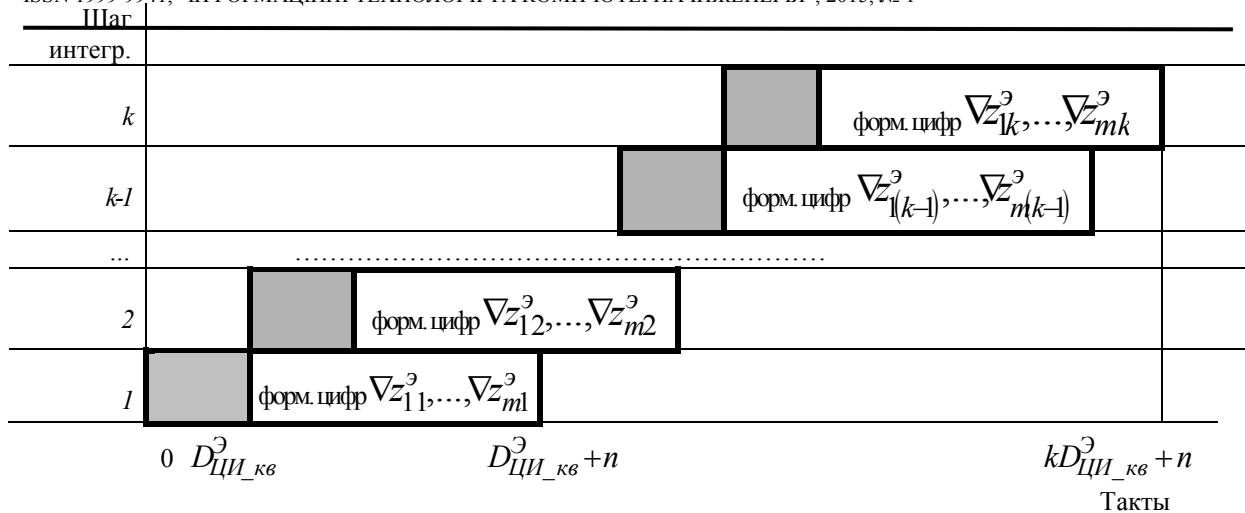


Рисунок 1 – Организация неавтономных интегральных вычислений:
 m – число уравнений в системе Шеннона

$$\nabla z_{i+1}^{\alpha} = \sum_{\alpha=1}^N (-1)^{\alpha-1} \frac{M!}{\alpha!(N-\alpha)!} \nabla z_{i+1-\alpha}, \quad (1)$$

был разработан алгоритм неавтономной экстраполяции интегрального приращения, характеризующийся сопоставимой начальной задержкой:

$$D_{\nabla z^{\alpha}} = \lceil \log_k (2^N - 1) \rceil + 2. \quad (2)$$

Здесь N – порядок точности интегрирования по Стилтесу; ∇z_{i+1}^{α} – экстраполированное интегральное приращение; $\nabla z_{i+1-\alpha}$ – приращение на $(i+1-\alpha)$ -м шаге. Одними из аргументов алгоритма являются цифры текущего интегрального приращения, что не позволяет совмещать его вычисление с экстраполяцией на шаге интегрирования. Тогда его длительность будет составлять:

$$D_{ЦИ_кв}^{\alpha} = D_{\nabla z} + D_{\nabla z^{\alpha}}. \quad (3)$$

При возможности распараллеливания этих процессов она составила бы:

$$D_{ЦИ_кв}^{\alpha} = \max(D_{\nabla z}, D_{\nabla z^{\alpha}}). \quad (4)$$

Таким образом, задача дальнейшего повышения быстродействия ЦИС остается актуальной.

Постановка задачи

Разработать метод экстраполяции в неавтономном режиме вычислений, позволяющий совмещать ее с вычислением приращения интеграла Стилтеса на каждом шаге интегрирования при сохранении порядка его точности. Это позволит с учетом (3) и (4) существенно повысить быстродействие ЦИС, реализующих неавтономные интегральные вычисления.

Получение экстраполяционной формулы

Возможность распараллеливания процессов вычисления i -о интегрального приращения ∇Z_i и его экстраполяции на i -м шаге интегрирования предполагает исключение зависимости экстраполяционной формулы от этого значения. Поэтому предлагается проведение экстраполяции на основе интегральных приращений, вычисленных не позже $(i-1)$ -о шага.

Для этого выполним следующие преобразования. Вынесем из-под знака суммы в формуле (1) значение ∇Z_i , в результате чего она примет вид

$$\nabla Z_{i+1}^{\vartheta} = N \nabla Z_i + \sum_{\alpha=2}^N (-1)^{\alpha-1} \frac{N!}{\alpha!(N-\alpha)!} \nabla Z_{i+1-\alpha}.$$

Проекстраполируем значение ∇Z_i , используя формулу (1) порядка точности M . Полученная формула будет содержать лишь интегральные приращения, полученные не позже $(i-1)$ -о шага интегрирования:

$$\nabla Z_{i+1}^{\vartheta \prime} = N \sum_{\alpha=1}^M (-1)^{\alpha-1} \frac{M!}{\alpha!(M-\alpha)!} \nabla Z_{i-\alpha} + \sum_{\alpha=2}^N (-1)^{\alpha-1} \frac{N!}{\alpha!(N-\alpha)!} \nabla Z_{i+1-\alpha}. \quad (5)$$

Проанализируем, какое значение M необходимо выбирать, чтобы не уменьшить порядок погрешности $\nabla Z_{i+1}^{\vartheta}$, для чего оценим модуль разности (5) и (1):

$$\Delta_{\vartheta} = \left| \nabla Z_{i+1}^{\vartheta \prime} - \nabla Z_{i+1}^{\vartheta} \right| = N \left| \sum_{\alpha=1}^M (-1)^{\alpha-1} \frac{M!}{\alpha!(M-\alpha)!} \nabla Z_{i-\alpha} - \nabla Z_i \right|.$$

Исходя из (1) 1-й член в скобках является экстраполированным с точностью порядка M приращением ∇Z_i , откуда:

$$\Delta_{\vartheta} = N \left| \nabla Z_i^{\vartheta} - \nabla Z_i \right|.$$

В соответствии с [3, (2.134)] его можно представить как

$$\Delta_{\vartheta} = N \left| \nabla Z_i^{M+1} \right|,$$

где ∇Z_i^{M+1} – приращение $(M+1)$ -о порядка малости. Обычно $N=3-6$, поэтому для сохранения порядка точности экстраполяции необходимо, чтобы $M \geq N$. Для наиболее оптимального случая, когда $M = N$, формула (5) примет вид:

$$\nabla Z_{i+1}^{\vartheta \prime} = N \sum_{\alpha=1}^N (-1)^{\alpha-1} \frac{N!}{\alpha!(N-\alpha)!} \nabla Z_{i-\alpha} + \sum_{\alpha=2}^N (-1)^{\alpha-1} \frac{N!}{\alpha!(N-\alpha)!} \nabla Z_{i+1-\alpha}.$$

После преобразований получим вариант формулы, который можно положить в основу предлагаемого метода экстраполяции:

$$\nabla Z_{i+1}^{\vartheta \prime} = (N+1)! \sum_{\alpha=1}^{N-1} (-1)^{\alpha-1} \frac{\alpha \nabla Z_{i-\alpha}}{(\alpha+1)!(N-\alpha)!} + N(-1)^{N-1} \nabla Z_{i-N}, \quad (6)$$

Из табл. 1 следует, что по сравнению с известными [3, табл. 2.7] структура предлагаемых формул экстраполяции (6) не изменилась. Следовательно, структура и сложность схем, реализующих такие экстраполяционные вычисления, практически сохраняются.

Таблиця 1 – Формули екстраполяції

Порядок точності N	Екстраполяційна формула
3	$\nabla Z_{i+1}^{\ominus} = 6\nabla Z_{i-1} - 8\nabla Z_{i-2} + 3\nabla Z_{i-3}$
4	$\nabla Z_{i+1}^{\ominus} = 10\nabla Z_{i-1} - 20\nabla Z_{i-2} + 15\nabla Z_{i-3} - 4\nabla Z_{i-4}$
5	$\nabla Z_{i+1}^{\ominus} = 15\nabla Z_{i-1} - 40\nabla Z_{i-2} + 45\nabla Z_{i-3} - 24\nabla Z_{i-4} + 5\nabla Z_{i-5}$

Метод екстраполяції в неавтономному режимі вичислень

По аналогії з пропозитим в [7] методом неавтономного вичислення по формулі інтегрування по Стилтьєсу в симетричних избыточних системах счисления з основою $k = 2^{\nu}$, $\nu \in N^*$, $\nu > 1$ і цифрами $\left\{ \overline{-k/2, k/2} \right\}$ був розроблений подібний метод в відповідності з формулою (6). Метод забезпечує совмещение в кожному такті поразрядного вводу інтегральних приращень $\nabla Z_{i-1}, \dots, \nabla Z_{i-N}$ і формування очередного разряду екстраполюваного інтегрального приращення ∇Z_{i+1}^{\ominus} . Обробка і формування разрядів производится от старших к младшим. Старший разряд результату формується через $(p = \lceil \log_k(2^N(N-1)+1) \rceil + 1)$, а все його n разрядів – через $(p+n)$ тактів після поступлення старших цифр операндів. Математическую основу метода дополняют следующие выражения, полученные с учетом формулы (6):

$$H_i = kR_{i-1} + k^{-p} \left((N+1)! \sum_{\alpha=1}^{N-1} (-1)^{\alpha-1} \frac{\alpha \nabla z_{j-\alpha, i}}{(\alpha+1)!(N-\alpha)!} + N(-1)^{N-1} \nabla z_{j-N, i} \right),$$

$$z_i - \frac{1}{2} \leq H_i < z_i + \frac{1}{2}, \quad R_i = H_i - z_i,$$

где z_i , $\nabla z_{j-\alpha, i}$, $\nabla z_{j-N, i}$ – цифры результата и операндов в симметричной избыточной системе счисления с основою $k = 2^{\nu}$, $\nu \in N^*$, $\nu > 1$ і цифрами $\left\{ \overline{-k/2, k/2} \right\}$.

Небольшая разрядность представления вспомогательных переменных H и R определяется разрядностью представления целочисленных коэффициентов в конкретной формуле (табл. 1). Используя вышеприведенные выражения, получим алгоритм по определению очередной цифры экстраполированного приращения на i -м такте:

1. Для $i=0$ до $(p-1)$ выполнить пп. 2 и 3, положив $R_{-1} = 0, z_i = 0$.

2. $H_i = kR_{i-1} + k^{-p} \left((N+1)! \sum_{\alpha=1}^{N-1} (-1)^{\alpha-1} \frac{\alpha \nabla z_{j-\alpha, i}}{(\alpha+1)!(N-\alpha)!} + N(-1)^{N-1} \nabla z_{j-N, i} \right).$

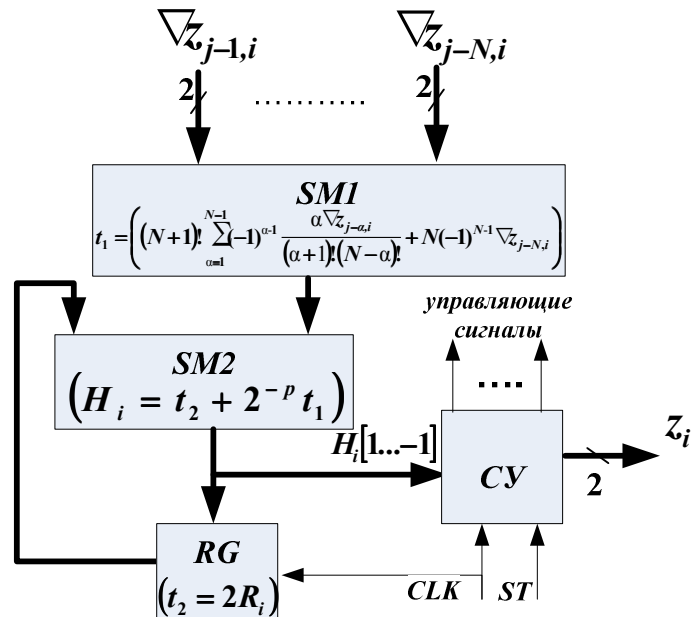
3. $R_i = H_i$.

4. Для $i=p$ до $(n+p)$ выполнить пп. 2, 5 и 6.

$$5. z_i = \begin{cases} -\frac{k}{2}, & \text{если } H_i < \frac{1-k}{2} \\ \dots \\ -1, & \text{если } -\frac{3}{2} \leq H_i < -\frac{1}{2}; \\ 0, & \text{если } -\frac{1}{2} \leq H_i < \frac{1}{2}; \\ 1, & \text{если } \frac{1}{2} \leq H_i < \frac{3}{2}; \\ \dots \\ \frac{k}{2}, & \text{если } H_i \geq \frac{k-1}{2}. \end{cases}$$

$$6. R_i = H_i - z_i.$$

Аппаратная реализация квазипараллельного операционного блока (ОБ), функционирующего в соответствии с предлагаемым алгоритмом в 2-й системе счисления с цифрами $\{-1,0,1\}$, представлена на рис. 2. Здесь $SM1$ и $SM2$ являются фактически сумматорами; RG – регистр; CY – схема управления на основе автомата; CLK , ST – сигналы тактирования и старта вычислений соответственно; в блоках указаны производимые ими операции. Он имеет малое общее количество входных и выходных сигналов, что характерно для квазипараллельных вычислительных устройств, реализующих неавтономные вычисления. ОБ не использует сложные операции (умножение, деление и т.п.) и характеризуется низкой аппаратной сложностью и высоким быстродействием, практически не зависящими от разрядности интегральных вычислений.



Сравнительная оценка быстродействия ЦИС

Максимальная частота тактирования ОБ экстраполяции (рис. 2) по сравнению с аналогичным решением в соответствии с известной экстраполяционной формулой ввиду их идентичности не изменится. Кроме того, для ЦИС она будет определяться схемой формирования цифр интегрального приращения, а не экстраполяторами. Поэтому сравним длительности шага интегрирования $D_{ЦИ}^{\Delta}_{кв}$ при использовании предложенного метода и без него. В 1-м случае будем использовать выражение (3), где $D_{\nabla z}$ определяется значением (2), во 2-м – выражение (4), где

$$D_{\nabla_z} = p + 1 = \lceil \log_k (2^N (N-1) + 1) \rceil + 2.$$

Предложенный в [7] метод обеспечивает $D_{\nabla_z} = 4$ для 2-й системы счисления и $D_{\nabla_z} = 3$ для $k > 2$. В табл. 2 приведены значения $D_{ЦИ_кв}^{\exists}$ в тактах (в скобках без применения метода) в зависимости от k и N . Уменьшение длительности шага интегрирования может достигать 1,5-2 раза. Для 2-й и 4-й систем счисления существенное сокращение $D_{ЦИ_кв}^{\exists}$ наблюдается при $N=2-4$. Наиболее эффективно применение метода в случаях реализации неавтономных интегральных вычислений в 8-й и 16-й системах счисления практически при всех рассматриваемых N .

Таблица 2 – Длительность шага интегрирования

		Порядок точности N				
		2	3	4	5	6
Основание системы счисления k	2	5 (8)	7 (9)	8 (10)	10 (11)	11 (12)
	4	4 (6)	5 (7)	5 (7)	6 (8)	7 (8)
	8	3 (6)	4 (6)	4 (7)	5 (7)	5 (7)
	16	3 (6)	4 (6)	4 (6)	4 (7)	5 (7)

Выводы

Разработанный метод обеспечивает вычисление в неавтономном режиме $(i+1)$ -о экстраполированного приращения интеграла Стильгеса в симметричных избыточных системах счисления с основанием $k = 2^{\nu}$, $\nu \in N^*$, $\nu > 1$ и цифрами $\left\{ \overline{-k/2, k/2} \right\}$ по приращениям, полученным не позже $(i-1)$ -о шага. Для этого i -е интегральное приращение ∇Z_i заменяется экстраполированным значением, вычисленным с таким же или большим порядком точности. Это позволяет распараллелить процессы экстраполяции и вычисления ∇Z_i на каждом шаге интегрирования при сохранении порядка его точности. Предложенная формула экстраполяции идентична известной и имеет такой же порядок точности.

Метод позволяет в 1,5-2 раза сократить длительность шага интегрирования при вычислениях с наиболее часто используемыми порядками точности, соответственно повысив быстродействие ЦИС. Наибольшая эффективность его использования достигается при интегральных вычислениях в 8-й и 16-й системах счисления (табл. 2).

Схемное решение, соответствующее разработанному методу, отличается низкой аппаратной сложностью, практически не зависящей от разрядности интегральных вычислений, как следствие, – высоким быстродействием, а также малым общим числом входных и выходных сигналов. Все это позволяет эффективно реализовать ее на базе ПЛИС.

Практическая значимость метода заключается в возможности посредством небольшой перестройки структуры квазипараллельных экстраполяторов существенно влиять на быстродействие ЦИС при незначительном изменении точности вычислений с сохранением ее порядка. Это можно реализовать с помощью технологии динамической частичной реконфигурации *Partial Reconfiguration* [8] в процессе функционирования ЦИС, построенных на базе *FPGA*, что особенно важно при их применении в БВС.

Литература

1. Бровкин А.Г., Бурдыгов Б.Г., Гордийко С.В. и др. Бортовые системы управления космическими аппаратами: Учебное пособие. – М.: изд-во МАИ-ПРИНТ, 2010. – 304 с.
2. Лукин Н.А. Функционально-ориентированные процессоры с однородной архитектурой для реализации алгоритмов бортовых систем управления // Труды Пятой Международной конференции «Параллельные вычисления и задачи управления» RASO'2010 (Москва, 26-28 октября 2010 г.) / РАН. – М.: ИПУ РАН. – С. 1177-1185.
3. Каляев А.В. Теория цифровых интегрирующих машин и структур. – М.: Советское радио, 1970. – 472 с.
4. Палагин А.В., Баркалов А.А., Опанасенко В.Н., Титаренко Л.А. Проектирование реконфигурируемых цифровых систем: монография. – Луганск: изд-во ВНУ им. В. Даля, 2011. – 432 с.
5. Palagin A.V., Opanasenko V.N. Design and application of the PLD-based reconfigurable devices // Design of Digital Systems and Devices. – Springer, Verlag, Berlin, Heidelberg. – 2011, Vol. 79. – P. 59–91.

6. Жабин В.И., Ковалев Н.А. Реализация цифровых интеграторов на ПЛИС // Проблемы інформатизації та управління: Зб. наук. праць. – К.: НАУ, 2007. – Вип. 1 (19). – С. 50-55.

7. Ковалев Н.А. Метод неавтономного обчислення інтегралу Стілт’еса // Наукоємні технології: науково-технічна конференція студентів та молодих учених, 12-16 листопада 2012 р.: матеріали – Київ: НАУ, 2012. – С. 26.

8. Опанасенко В.Н. Высокопроизводительные реконфигурируемые компьютеры на базе FPGA // Проблемы інформатизації та управління. – 2009. – № 3(27) - С. 114-118.

Стаття надійшла: 20.03.2015.

Сведения об авторах

Жуков Игорь Анатольевич, доктор технических наук, профессор, заведующий кафедрой компьютерных систем и сетей Института компьютерных информационных технологий Национального авиационного университета Украины.

Ковалев Николай Александрович, ассистент кафедры компьютерных систем и сетей Института компьютерных информационных технологий Национального авиационного университета Украины.